

Requested Patent: JP9017998A

Title: MOS TRANSISTOR MANUFACTURING METHOD ;

Abstracted Patent: JP9017998 ;

Publication Date: 1997-01-17 ;

Inventor(s): TSUKAMOTO MASANORI ;

Applicant(s): SONY CORP ;

Application Number: JP19950162157 19950628 ;

Priority Number(s): ;

IPC Classification:

H01L29/78; H01L21/265; H01L21/8238; H01L27/092; H01L29/43; H01L21/336 ;

Equivalents: ;

ABSTRACT:

PURPOSE: To avoid the diffusion of B(boron) from a p type gate electrode of a PMOS and punch-through of a gate oxide film.

CONSTITUTION: N ions are implanted into an amorphous Si film formed on a gate oxide film 4 to increase the amorphousness and then it is annealed at low temp. for a long time to change to a poly-Si film p1 of large grain size. On this film a WSix film 6 is laminated and patterned to form a gate electrode 7g1 and then BF2 ions are implanted to form a source/drain region and change the gate electrode 7g1 to a p type one. Thereby the grain boundary is reinforced with N and reduced by increasing the grain size to result in the suppression of B from quickly diffusing even in a p gate electrode contg. F. Owing to this, the rise of the threshold voltage V_{th} of a PHOS and increase of the subthreshold swing are prevented to improve the operating speed and reliability.

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号

特開平9-17998

(43) 公開日 平成9年(1997)1月17日

(51) Int.Cl. ⁸	識別記号	序内整理番号	F I	技術表示箇所
H 0 1 L	29/78		H 0 1 L	29/78
	21/265			21/265
	21/8238			
	27/092			27/08
	29/43			29/62
				3 0 1 G
				P
				Q
				3 2 1 D
				G

審査請求 未請求 請求項の数 7 O L (全 9 頁) 最終頁に続く

(21) 出願番号 特願平7-162157

(22) 出願日 平成7年(1995)6月28日

(71) 出願人 000002185

ソニー株式会社

東京都品川区北品川6丁目7番35号

(72) 発明者 塚本 雅則

東京都品川区北品川6丁目7番35号 ソニー株式会社内

(74) 代理人 弁理士 小池 晃 (外2名)

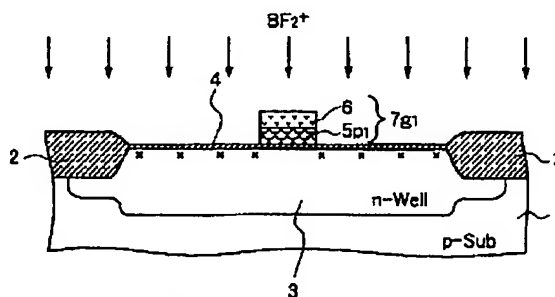
(54) 【発明の名称】 MOSトランジスタの製造方法

(57) 【要約】

【目的】 PMOSの p^+ 型ゲート電極からのB(ホウ素)の拡散およびゲート酸化膜突き抜けを防止する。

【構成】 ゲート酸化膜4上に成膜したアモルファス・シリコン膜5_{a1}にN⁺をイオン注入してアモルファス化の度合いを進ませた後、低温・長時間アニールにより大粒径のポリシリコン膜5_{p1}に変化させる。この膜上にWSi_x膜6を積層し、パターニングを経てゲート電極7_{g1}を形成した後、BF₂⁺のイオン注入を行い、ソース/ドレイン領域を形成すると共にゲート電極7_{g1}を p^+ 型化する。

【効果】 Nによる粒界強化と大粒径化による粒界の減少とが図られ、Fを含む p^+ 型ゲート電極であってもBの増速拡散が抑制される。このため、PMOSの閾値電圧 V_{th} の上昇やサブスレッショルド・スイングの増大が防止され、動作速度と信頼性が向上する。



ゲート電極形成およびLDDイオン注入工程

【特許請求の範囲】

【請求項1】 少なくとも一部がp型半導体膜より構成されるゲート電極を有するMOSTランジスタの製造方法において、

ゲート絶縁膜上にアモルファス・シリコン膜を成膜する第1工程と、

前記アモルファス・シリコン膜に粒界強化用元素のイオン注入を行う第2工程と、

前記アモルファス・シリコン膜をアニールしてポリシリコン膜に変化させる第3工程と、

少なくとも前記ポリシリコン膜をパターンニングしてゲート電極を形成する第4工程と、

前記ゲート電極をマスクとしてp型不純物のイオン注入を行うことによりソース/ドレイン領域を形成すると共に該ゲート電極の導電型をp型とする第5工程とを有するMOSTランジスタの製造方法。

【請求項2】 前記粒界強化用元素が窒素もしくはリンである請求項1記載のMOSTランジスタの製造方法。

【請求項3】 前記アニールを550～700℃、1時間以上の条件で行う請求項1記載のMOSTランジスタの製造方法。

【請求項4】 前記第2工程にて粒界強化用元素のイオン注入を終了後、前記アモルファス・シリコン膜のゲート電極形成部以外の領域にさらにシリコンもしくはアルゴンの少なくとも一方をイオン注入して徹底アモルファス化を行う請求項1記載のMOSTランジスタの製造方法。

【請求項5】 前記第5工程で行われるイオン注入が、 BF_2^+ のイオン注入もしくは B^+ と F^+ の共イオン注入である請求項1記載のMOSTランジスタの製造方法。

【請求項6】 前記第3工程でポリシリコン膜を形成した後、この上に高融点金属シリサイド膜もしくは高融点金属膜を積層して複合膜を構成し、前記第4工程ではこの複合膜をパターンニングしてゲート電極を形成する請求項1記載のMOSTランジスタの製造方法。

【請求項7】 前記高融点金属シリサイド膜はタングステン・シリサイド膜である請求項6記載のMOSTランジスタの製造方法。

【発明の詳細な説明】

【0001】

【産業上の利用分野】 本発明はMOSTランジスタの製造方法に関し、特にp型MOSTランジスタ(PMOS)の p^+ 型ゲート電極からのホウ素(B)拡散、あるいはBのゲート酸化膜突き抜けを抑制する方法に関する。

【0002】

【従来の技術】 同一基板上にn型MOSTランジスタ(NMOS)とp型MOSTランジスタ(PMOS)とを共存させた相補型MOSTランジスタ(CMOS)回路は、両トランジスタのオン時のみ電流が流れるため消

費電力が低く、また微細化や高集積化が容易であるため高速動作が可能であるといった利点を有し、メモリ素子や論理素子をはじめ多くのLSI構成デバイスとして広く用いられている。近年ではゲート長0.1 μm 以下のMOSTランジスタの室温動作も確認されていることから、CMOS回路の高集積化と微細化が今後も進展し続けることは確実とみられる。

【0003】ところで、従来からPMOSのゲート電極材料としては、NMOSのゲート電極と同様、 n^+ 型ポリシリコン膜、あるいはこの上に高融点金属シリサイド膜や高融点金属膜を積層したポリサイド膜、ポリメタル膜といった材料が用いられてきた。これは、 n^+ 型ポリシリコン膜が高温プロセスに良く耐え、またチャネル・プロファイルが埋込み型となるために高いバルク移動度を利用して動作を高速化することができたからである。しかし、埋込みチャネル型のMOSTランジスタでは、ソース/ドレイン領域から迫り出している空乏層の先端がゲート電界の影響により基板の深い部分で互いに接近するため、パンチスルーが生じ易い問題がある。したがって、デザイン・ルールがディープ・サブミクロン以下に縮小される世代においては、埋込みチャネル型では短チャネル効果の抑制が困難となり、ゆえに表面チャネル型の採用が望まれている。PMOSのゲート電極を p^+ 型ポリシリコン膜を用いて構成すれば、表面チャネル型のプロファイルを実現することができる。

【0004】PMOSのゲート電極材料に p^+ 型ポリシリコン膜が望まれる理由は、他にもある。NMOS、PMOSのいずれのゲート電極にも n^+ 型ポリシリコン膜を用いる従来のCMOS回路では、NMOSとPMOSとの間に仕事関数差が存在し、この差に起因して閾値電圧 V_{th} が非対称となっている。このため、PMOSのチャネル領域に浅くホウ素をイオン注入して両トランジスタの閾値電圧 V_{th} をほぼ等しく(通常は1V以下)設定していた。しかし、閾値調整用のイオン注入により基板表面の不純物濃度を上昇させると、基板表面付近のキャリア移動度が低下して動作高速化に不利となるため、将来的にはチャネル不純物濃度を低下させることが必須である。仕事関数の大きい p^+ 型ポリシリコン膜をPMOSのゲート電極として用いれば、チャネル不純物濃度を上げずにNMOSとPMOSとの間で閾値電圧 V_{th} を対称化することができる。このことは、CMOSインバータとして基本ゲートを構成した場合のトランジスタの入出力特性を対称化し、信号伝達特性の対称性を改善することにつながる。

【0005】

【発明が解決しようとする課題】ところで、CMOS回路の製造工程では一般に、NMOSのゲート電極もPMOSのゲート電極も共通のポリシリコン膜のパターンニングにより形成されるので、両者に互いに異なる導電型を付与するためには、それぞれのゲート電極となるべき傾

域にマスクを介したイオン注入によりイオンを打ち分けることが多い。しかもこのイオン注入は、工程削減の観点から一般にソース/ドレイン領域形成用のイオン注入(S/Dイオン注入)を兼ねて行われる。このとき、ソース/ドレイン領域の接合深さ x_j を浅くすることが必須なので、PMOS形成領域におけるイオン注入は BF_2^+ のイオン注入、あるいは B^+ と F^+ の共イオン注入により行われる。 BF_2^+ はその解離特性や比較的大きな質量ゆえに、 B^+ に比べて飛程を小さく制御したりチャネリングを防止する上で有利である。また、 B^+ と F^+ の共イオン注入にも同様の効果がある。さらに、このとき同時に導入されるFには、ゲート酸化膜(SiO_2)の界面トラップ密度を低下させるという優れた効果がある。

【0006】しかしその反面、FにはBの拡散を促進し、場合によってはBをゲート酸化膜を突き抜けて基板(Si)まで到達させてしまうことがわかってきた。この問題は、たとえばIEEEトランザクションズ・オン・エレクトロン・デバイス(IEEE Transactions on Electron Devices) 第37巻11号, p. 2312 (1990年)に論じられている。Bの拡散は、後工程におけるソース/ドレインの活性化アニール、SALICIDE(自己整合的シリサイド化)プロセス、層間絶縁膜のリフロー等、基板加熱を伴う様々な場面で起こり得る。

【0007】 B^+ のイオン注入では、ポリシリコン膜中にFが取り込まれることはないため、このポリシリコン膜を単独でゲート電極材料とする限りはBの拡散は促進されない。仮に若干の拡散が生じたとしても、Bがゲート酸化膜を突き抜けるには至らず、ゲート酸化膜中で安定化される。しかし、このポリシリコン膜上にゲート抵抗の低減を目的として高融点金属シリサイド膜や高融点金属膜が積層されており、しかも、これらの成膜方法に起因して膜中にFが残留している場合には、このFがポリシリコン膜中へ取り込まれる。このような場合には、たとえイオン注入が B^+ を用いて行われていてもやはりFによりBの拡散や突き抜けが促進されてしまう。たとえば、 WF_6 を SiH_4 で還元する減圧CVD法で成膜された $WSix$ 膜は、残留Fを比較的多く含み、上述のような問題を起こす虞れが大きい。かかるBの増速拡散や突き抜けは、PMOSの閾値電圧 V_{th} の上昇、サブスレッショルド・スウィングの増大、あるいはゲート絶縁膜の信頼性低下の原因となるので、できる限り防止しなければならない。

【0008】Bの拡散を抑制する上で有効と考えられるひとつの方法は、熱処理温度の低下あるいは熱処理時間の短縮である。しかし、前者ではイオン注入やドライエッチングで生じた結晶欠陥の回復が不十分となるためリーク電流の増大を招く虞れがあり、後者では不純物の活性化が不十分となるため拡散層や配線層の抵抗の上昇を招く虞れがある。

【0009】また、Bのゲート酸化膜突き抜けを抑制するために、 NH_3 や N_2O 等の窒化雰囲気中でゲート酸化膜の急速熱窒化(RTN)を行う方法も提案されている。しかしこれらの方法は、ゲート絶縁膜の膜厚増大やキャリア移動度の低下によるトランジスタ特性の低下、あるいは固定電荷や界面準位の増加によるゲート絶縁膜の信頼性低下といった問題を招き、必ずしも得策ではない。

【0010】そこで、これらに代わる手法として、ポリシリコン膜の結晶粒径を増大させることで拡散経路たる粒界を減少させ、これによりBの拡散を抑制しようとする方法が1990年IEEEシンポジウム・オンVLSIテクノロジー(1990 Symposium on VLSI Technology, IEEE)抄録集 p.111-112に発表されている。この方法によると、まずゲート酸化膜上にアモルファス・シリコン膜を堆積させ、NMOSの n^+ 型ゲート電極とソース/ドレイン領域、およびPMOSの p^+ 型ゲート電極とソース/ドレイン領域とをそれぞれ同時に形成している。この後、ソース/ドレイン領域やゲート電極中の不純物の活性化アニールと、層間絶縁膜(プラズマCVDによる SiO_2 膜+BPSG)のリフローをいずれも900℃、15分間の条件で行うことで、アモルファス・シリコン膜の結晶粒径を初めから多結晶膜として成膜されたポリシリコン膜に比べて2倍以上に増大させている。これにより、ゲート酸化膜中へのBやFの拡散を減少させ、Si基板へのBの突き抜けを抑制し、ゲート酸化膜中の電子トラップ密度を低減させることに成功している。なお、上記方法ではアニール温度は明示されていないものの、ゲート電極のパターニング後にSALICIDE法により $TiSix$ 膜を形成している旨の記載があり、この段階でも結晶粒の成長が起こっている。

【0011】しかしながら、アモルファス・シリコンからポリシリコンへの結晶化の進み具合は、アモルファス・シリコン膜が成膜後に経る熱処理条件により大きく変化するため、上述の方法によっても必ずしも十分な大粒径化が起こっているとは言えず、また粒径に再現性があるとも言えない。

【0012】さらに別のB拡散防止対策として、第41回応用物理学関係連合講演会(1994年春季年会)講演予稿集 p.675, 演題番号29p-ZG-16に、ポリシリコン膜の結晶粒界に窒素を導入する研究が報告されている。この研究では、イオン注入による窒素のドーズ量に対するフラットバンド電圧 V_{FB} 、および反転層形成時の容量 C_{inv} とゲート酸化膜の容量 C_{ox} の比(C_{inv}/C_{ox})の各依存性を検討し、ドーズ量が $10^{15}/cm^2$ のオーダーまでの範囲であればゲート電極を空乏化させずにBの拡散を防止できるとしている。しかし、窒素のイオン注入をポリシリコン膜に対して行っているため、結晶粒子が微細化されてしまう。したがって、仮にこのポリシリコン膜を予め前述のような方法で大粒径化

しておいても、大粒径化による効果はほとんど得られないことになる。

【0013】このように、p型ゲート電極からのBの拡散を防止するための従来の対策は、いずれも決め手を欠いているのが実情である。そこで本発明は、ゲート絶縁膜の信頼性を損なうことなく、再現性の高い手法によりBの拡散を防止することが可能なMOSTランジスタの製造方法を提供することを目的とする。

【0014】

【課題を解決するための手段】本発明のMOSTランジスタの製造方法は、上述の目的を達するために提案されるものであり、少なくとも一部がp型半導体膜より構成されるゲート電極を有するMOSTランジスタの製造方法であって、ゲート絶縁膜上にアモルファス・シリコン膜を成膜する第1工程と、前記アモルファス・シリコン膜に粒界強化用元素のイオン注入を行う第2工程と、前記アモルファス・シリコン膜をアニールしてポリシリコン膜に変化させる第3工程と、少なくとも前記ポリシリコン膜をパターニングしてゲート電極を形成する第4工程と、前記ゲート電極をマスクとしてp型不純物のイオン注入を行うことによりソース/ドレイン領域を形成すると共に該ゲート電極の導電型をp型とする第5工程とを経るものである。

【0015】上記ゲート絶縁膜の典型例はシリコン化合物膜である。MOSTランジスタのゲート絶縁膜として用いられるシリコン化合物膜には、窒化シリコン膜、酸化シリコン膜、あるいは酸化シリコン膜で窒化シリコン膜を挟んだONO膜などが知られているが、本発明では特に酸化シリコン膜(SiO_x)を用いることが有効である。

【0016】上記第2工程で用いられる粒界強化用元素とは、次の第3工程で行われるアニールによりアモルファス・シリコン膜がポリシリコン膜に変化した際の結晶粒界に偏析することにより、さらに後の第5工程で導入されるフッ素の粒界拡散をブロックする機能を有する元素である。かかる元素としては、窒素(N)もしくはリン(P)を用いると好適である。ただし、Nは導入し過ぎるとポリシリコン膜が空乏化して電極として使用できなくなるので、ドーズ量を $10^{15}/\text{cm}^2$ のオーダーに制御することが必要である。一方、Pはn型不純物であって本発明のゲート電極中の p^+ 型不純物を補償してしまうので、Pを用いる場合には第5工程におけるp型不純物のドーズ量をこの補償分も見込んだ上で高めに設定する必要がある。

【0017】前記アニールは、 $550\sim 700^\circ\text{C}$ 、1時間以上の条件で行うと良い。このアニール条件は、通常の不純物活性化アニールに比べるとかなり低温かつ長時間の条件である。つまり本発明では、従来のようにアモルファス・シリコン膜の大粒径化をその後の熱処理時に同時に行うのではなく、上記条件にしたがって緩やかに

行うことにより、十分な大粒径化を高い制御性と再現性をもって実現するものである。アニール温度が 550°C 未満の温度域では結晶核をなかなか発生させることができず、また 700°C より高い温度域では核発生速度が速すぎて十分な大粒径化を起こすことができない。より好ましい温度範囲は $600\sim 650^\circ\text{C}$ である。また、アニール時間が1時間未満であっても、十分な大粒径化を起こすことができない。より好ましいアニール時間は $5\sim 10$ 時間である。

【0018】前記第2工程にて粒界強化用元素のイオン注入を終了した後は、前記アモルファス・シリコン膜のゲート形成部以外の領域にシリコンもしくはアルゴンの少なくとも一方をイオン注入し、アモルファス化を一層徹底させても良い。

【0019】本発明は、ポリシリコン膜の粒界強化と大粒径化によりp型不純物の拡散を抑制するものである。したがって、p型不純物としてBを含むと共に、製造工程において必然的にフッ素を含有してしまうようなゲート電極を用いても、信頼性の高いMOSTランジスタを製造することができる。つまり、第5工程で行われるイオン注入としては、 B^+ のイオン注入を行ってももちろん構わないが、 BF_2^+ のイオン注入もしくは B^+ と F^+ の共イオン注入を行うことができるのである。特に、後二者の採用は、浅い接合の実現や界面単位密度の低減を図る上で大変有利である。

【0020】ところで、前記ゲート電極は、ポリシリコン膜単独により構成されても良いが、第3工程でポリシリコン膜を形成した後、この上に高融点金属シリサイド膜もしくは高融点金属膜を積層して複合膜を構成し、前記第4工程ではこの複合膜をパターニングしてゲート電極を形成することで、低抵抗化を図っても良い。ポリシリコン膜と高融点金属シリサイド膜との複合膜はポリサイド膜、高融点金属膜との複合膜はポリメタル膜として知られるものである。

【0021】上記高融点金属シリサイド膜としては、 WSi_x 膜、 TiSi_x 膜、 MoSi_x 膜、 TaSi_x 膜、 PtSi_x 膜、 NiSi_x 膜など従来公知の膜を用いることができる。これらの膜は、CVD法あるいは自己整合的シリサイド化法(SALICIDE法)により形成することができる。一方、上記高融点金属膜としては、W膜、Ti膜、Mo膜、Ta膜、Pt膜、Ni膜等の従来公知の膜を用いることができる。これらの膜は、減圧CVD法、プラズマCVD法、あるいはスパッタリング法により成膜する。

【0022】なお、上記列挙した高融点金属シリサイド膜のうち、最も代表的な膜は WSi_x 膜である。 WSi_x 膜は、一般に WF_6 を SiH_4 (モノシラン:MS)または SiCl_2H_2 (ジクロロシラン:DCS)で還元する減圧CVDにより成膜される。DCS還元法の方がMS還元法に比べて膜中の残留Fを低減できることが

知られている。

【0023】

【作用】アモルファス・シリコン膜にイオン注入を行うと、アモルファス化が一層進むことは良く知られているが、本発明ではNあるいはPといった粒界強化用元素のイオン注入がその役割を果たす。高度にアモルファス化されたシリコン膜中では、アニール時に結晶核の発生が遅れるので、アニールにより得られるポリシリコン膜は大粒径化する。本発明ではこのアニールを低温・長時間の条件で行っており、しかもこの時、上記の粒界強化用元素が結晶粒界に偏析するので、大粒径であって、かつ不純物元素の粒界拡散を効果的にブロックできるポリシリコン膜を得ることができる。

【0024】核発生の遅延は、イオン注入による徹底アモルファス化を併用することで、より顕著となる。すなわち、本発明ではアモルファス・シリコン膜中、ゲート電極形成部以外の領域における核発生速度を極端に低下させるため、ゲート電極形成部に先に核が発生し、結晶粒の成長はここから外方向へ向かって進行する。この結果、ゲート電極内の粒界、すなわち不純物原子の拡散経路を著しく減少させることができる。

【0025】したがって、不純物としてBを含む p^+ 型のゲート電極にたとえFが含有されていても、Bの増速拡散や突き抜けが効果的に抑制される。このため、 p 型不純物の導入に BF_2^+ のイオン注入、あるいは B^+ と F^+ の共イオン注入を採用したり、ポリシリコン膜の上に残留Fを含む高融点金属シリサイド膜や高融点金属膜を積層することが、何ら支障無く行えることになる。

【0026】

【実施例】以下、本発明の具体的な実施例について説明する。

【0027】実施例1

本実施例は、ポリサイド・ゲート電極を持つLDD型のPMOSの製造に本発明を適用した例である。本実施例のプロセスを、図1ないし図8を参照しながら説明する。

【0028】まず、 p 型Si基板(p -Sub)1上に公知のLOCOS法によりフィールド酸化膜2を形成して素子分離を行い、さらに P^+ をイオン注入して n 型ウェル(n -Well)3を形成した。ここで、上記 P^+ のイオン注入条件は、たとえばイオン加速エネルギー330keV、ドーズ量 $8 \times 10^{12}/\text{cm}^2$ とした。次に、活性領域の表層部に閾値電圧 V_{th} 調整のためのチャネル・イオン注入を行い、また活性領域の深層部にパンチスルーを防止するためのディープ・イオン注入を行った。さらに、850℃でパイロジェニック酸化を行うことにより、活性領域の表面に厚さ約8nmのゲート酸化膜4を形成した。図1には、ここまでの工程を示した。

【0029】次に、図2に示されるように、基体の全面に減圧CVDにより膜厚約70nmのアモルファス・シ

リコン膜5 a_1 （添字aはアモルファス状態であることを表す。）を堆積させた。この減圧CVDは、一例として SiH_4 を原料ガスとし、堆積温度550℃で行った。

【0030】続いて、図3に示されるように、上記アモルファス・シリコン膜5 a_1 に対し、本発明のポイントのひとつである N^+ のイオン注入を行った。このときのイオン注入条件は、一例としてイオン加速エネルギー10keV、ドーズ量 $1 \times 10^{15}/\text{cm}^2$ とした。このイオン注入により、アモルファス化の度合いが一層進み、かつNを含有するアモルファス・シリコン膜5 a_2 が得られた。なお、上記のドーズ量は、後工程で形成されるゲート電極（図6の符号7 g_1 ）の中のポリシリコン膜（図6の符号5 p_1 ）を空乏化させるものではない。

【0031】次に、本発明のもうひとつのポイントである低温・長時間アニールを行った。このアニールは、たとえば N_2 雰囲気中、600℃、5～10時間の条件で行った。このときの固相成長により、アモルファス・シリコン膜5 a_2 は図4に示されるように、最大粒径1 μ m程度のポリシリコン膜5 p_1 （添字pは多結晶状態であることを表す。）に変化した。

【0032】次に、図5に示されるように、基体の全面に減圧CVDにより膜厚約70nmの WSi_x 膜6を堆積させた。この減圧CVDは、一例として $WF_6/SiCl_2H_2$ 混合ガスを用い、堆積温度680℃にて行なった。これにより、ゲート電極を構成するW-ポリサイド膜7が形成されたことになる。この WSi_x 膜の成膜過程では上述のように700℃近い加熱が行われるため、従来の方法ではこの間にもアモルファス・シリコン膜の結晶成長が若干進行し、結晶粒が小粒径化する一因となっていた。しかし、本発明ではアモルファス・シリコン膜5 a_2 は既にポリシリコン膜5 p_1 に変化しているので、このような懸念はない。しかも、該ポリシリコン膜5 p_1 の結晶粒界にはNが偏析し、不純物拡散の防止能に優れた膜となっている。この後、常法にしたがってレジスト・パターニングを行い、ゲート電極パターンに做ったレジスト・マスク8を形成した。

【0033】次に、上記レジスト・マスク8を介してW-ポリサイド膜7を異方的にドライエッチングし、図6に示されるようにゲート電極7 g_1 を形成した。このドライエッチングは、たとえば Cl_2/O_2 混合ガスと有磁場マイクロ波プラズマ・エッチング装置を用い、ゲート酸化膜4に対する選択比を十分に大きく確保しながら行った。続いて、レジスト・マスク8を除去し、上記ゲート電極7 g_1 をマスクとして BF_2^+ のLDDイオン注入を行った。このときのイオン注入条件は、一例としてイオン加速エネルギー20keV、ドーズ量 $2 \times 10^{13}/\text{cm}^2$ とした。なお、このイオン注入により、ゲート電極7 g_1 中にもBとFとが取り込まれた。

【0034】次に、基体の全面に減圧CVDにより厚さ

約150nmのSiO_x膜を堆積させ、これを異方的にエッチバックしてゲート電極7g₁の側壁面上にサイドウォール9を形成した。続いて、ゲート電極7g₁とサイドウォール9をマスクとして用い、BF₂⁺のソース/ドレイン(S/D)イオン注入を行った。このときのイオン注入条件は、一例としてイオン加速エネルギー20keV、ドーズ量3×10¹⁵/cm²とした。このイオン注入により、ゲート電極7g₁はp⁺型となった。図7には、ここまでの工程を示した。

【0035】この後、たとえば1050℃、10秒間の条件でラピッド・サーマル・アニール(RTA)を行うことにより、p型Si基板1に導入されたBを活性化させ、端部にp⁻型のLDD領域を有するp⁺型のソース/ドレイン領域10を形成した。このソース/ドレイン領域10の接合深さx_jは、イオン注入にBF₂⁺が用いられたために、極めて浅い。さらに、常法にしたがって層間絶縁膜11の堆積、コンタクト・ホール12の開口、上層配線13の形成を行い、図8に示されるようなPMOSを完成させた。

【0036】ここで、上記PMOSにおけるBの深さ方向プロファイル、図9に示す。比較のために、Bのゲート酸化膜突き抜けが生じた場合を一点鎖線で示した。ゲート電極中のBは、本来はゲート酸化膜を突き抜けるものではない。しかし、大量のFの残留下ではB×Oy(酸化ホウ素)の形成を妨げてSi基板まで達すると考えられており、この結果、一点鎖線で示されるようにSi基板の表層部が高濃度となり、チャネル不純物濃度が設計値から外れてしまう。

【0037】しかし、本発明ではアモルファス・シリコン膜5a₁がN⁺のイオン注入により一旦アモルファスシリコン膜5a₂に変化され、さらに続くアニールにより結晶粒界の強化された大粒径のポリシリコン膜5p₁に変化されることにより、Fの影響によるBの増速拡散がブロックされている。このため、PMOSのゲート電極7g₁にはBF₂⁺のイオン注入やWSi_x膜6の積層に起因してFが混入しているにもかかわらず、実線で示されるように、Bはゲート電極中においてゲート酸化膜との界面付近まで高濃度に維持され、ゲート酸化膜を突き抜けることはなかった。したがって、ゲート配線抵抗の上昇を防ぐことができ、またチャネル不純物濃度を設計値(ここでは10¹⁶/cm³)どおりに維持することで閾値電圧V_{th}の変動を防止することができた。

【0038】なお、本発明を適用してCMOSを製造する場合には、N⁺のイオン注入をNMOS形成領域についても同様に行うことになるが、これがNMOSのゲート電極やソース/ドレイン領域のn型不純物であるPやAsの拡散プロファイルに何ら影響を与えるものではない。

【0039】実施例2

本実施例では、N⁺のイオン注入を行った後、低温・長

時間アニールを行う前に、アモルファス・シリコン膜のゲート電極形成部以外の領域をSi⁺のイオン注入により徹底アモルファス化することにより、ゲート電極を構成するポリシリコン膜の一層の大粒径化を図った。本実施例のプロセスを、図10ないし図12を参照しながら説明する。

【0040】まず、N⁺のイオン注入(図3参照。)までを実施例1と同様に行った後、図10に示されるようにゲート電極形成部をレジスト・パターン14で被覆し、Si⁺のイオン注入を行った。このときのイオン注入条件は、たとえばイオン加速エネルギー10~30keV、ドーズ量1×10¹⁶/cm²のオーダーとした。これにより、ゲート電極形成部以外の領域は徹底アモルファス化シリコン膜5a₃に変化した。

【0041】上記レジスト・パターン14をO₂プラズマ・アッシングにより除去した後、実施例1と同じ条件で低温・長時間アニールを行った。このアニールにより、図11に示されるように、上記アモルファス・シリコン膜5a₃は、レジスト・パターン14で被覆されていたゲート電極形成領域において巨大粒径ポリシリコン膜5p₂、それ以外の領域において実施例1と同等のポリシリコン膜5p₁にそれぞれ変化した。これは、徹底アモルファス化シリコン膜5a₃において核発生速度が著しく低下した結果、ゲート領域における核発生が相対的に早まり、この核を起点として成長し始めた結晶粒が、他の核に邪魔されることなく大きく成長したからである。

【0042】この後、W-ポリサイド膜の形成、ゲート電極7g₂のパターニング、LDDイオン注入、サイドウォール9の形成、S/Dイオン注入、不純物活性化アニールを実施例1と同様に行った。さらに、層間絶縁膜11の堆積、コンタクト・ホール12の開口、上層配線13の形成を経て、図12に示されるPMOSを完成させた。本実施例のPMOSの動作特性は、実施例1に比べて一層改善されていた。

【0043】以上、本発明を2例の実施例にもとづいて説明したが、本発明はこれらの実施例に何ら限定されるものではない。たとえば上記実施例では、アモルファス・シリコン膜5a₁へイオン注入する粒界強化元素としてNを用いたが、これをPに替えても良い。また、上記アモルファス・シリコン膜5a₁へのp型不純物の導入をBF₂⁺のイオン注入により行ったが、これをB⁺とF⁺の共イオン注入、あるいはB⁺の単独イオン注入に替えても良い。あるいは、ゲート電極の上層側を高融点金属膜としてもよい。また、上記実施例2において、徹底アモルファス化を図るために注入されるイオンはSi⁺に替えてAr⁺としても良い。

【0044】その他、上記PMOSを構成する各膜の膜厚、堆積方法および条件、アニール条件、イオン注入条件の細部については、適宜変更が可能である。

【0045】

【発明の効果】以上の説明からも明らかなように、本発明を適用すればPMOSの p^+ 型ポリシリコン・ゲート電極中にBと共にFが含まれていても、FによるBの増速拡散を効果的に抑制することができるため、Fによる界面トラップ密度の低減効果はそのままに、閾値電圧 V_{th} の上昇やサブスレッショルド・スウィングの増大を防止することができる。このことにより、動作速度と信頼性に優れた微細なPMOSを構成することが可能となり、さらにはこれを用いて信号伝達特性の改善されたCMOSを構成することが可能となる。

【図面の簡単な説明】

【図1】本発明をPMOSの製造に適用したプロセス例（実施例1）において、Si基板上で素子分離、ウェル形成、ゲート酸化の各工程を終了した状態を示す模式的断面図である。

【図2】図1の基体の全面にアモルファス・シリコン膜を堆積させた状態を示す模式的断面図である。

【図3】図2のアモルファス・シリコン膜に N^+ のイオン注入を行っている状態を示す模式的断面図である。

【図4】低温・長時間アニールを行い、図3のアモルファス・シリコン膜をポリシリコン膜に変化させた状態を示す模式的断面図である。

【図5】図4のポリシリコン膜上に WSi_x 膜を堆積させてW-ポリサイド膜を構成し、ゲート電極形成用のレジスト・マスクをパターンニングした状態を示す模式的断面図である。

【図6】図5のW-ポリサイド膜を異方性エッチングしてゲート電極を形成し、さらにLDDイオン注入を行った状態を示す模式的断面図である。

【図7】図6のゲート電極の側壁面上にサイドウォール

を形成し、 BF_3^+ を用いたS/Dイオン注入により活性領域とゲート電極に共にBを導入している状態を示す模式的断面図である。

【図8】実施例1で完成されたPMOSの模式的断面図である。

【図9】ホウ素（B）の深さ方向プロファイルを、本発明とゲート酸化膜突き抜けが生じた場合とで比較して示すグラフである。

【図10】本発明をPMOSの製造に適用した他のプロセス例（実施例2）において、 N^+ をイオン注入したアモルファス・シリコン膜のゲート電極形成部以外の領域を、 Si^+ のイオン注入によりさらに徹底的にアモルファス化させている状態を示す模式的断面図である。

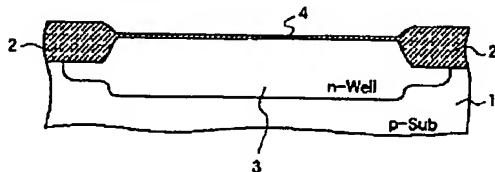
【図11】図10の徹底アモルファス化シリコン膜をアニールし、ゲート電極形成領域を巨大粒径ポリシリコン膜に変化させた状態を示す模式的断面図である。

【図12】実施例2で完成されたPMOSの模式的断面図である。

【符号の説明】

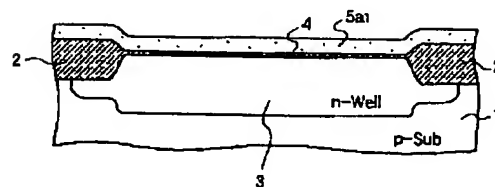
- 1 p型Si基板
- 3 n型ウェル
- 4 ゲート酸化膜
- 5a₁ アモルファス・シリコン膜
- 5a₂ (N^+ をイオン注入した)アモルファス・シリコン膜
- 5a₃ 徹底アモルファス化シリコン膜
- 5p₁ ポリシリコン膜
- 5p₂ 巨大粒径ポリシリコン膜
- 7g₁, 7g₂ ゲート電極
- 10 ソース/ドレイン領域

【図1】



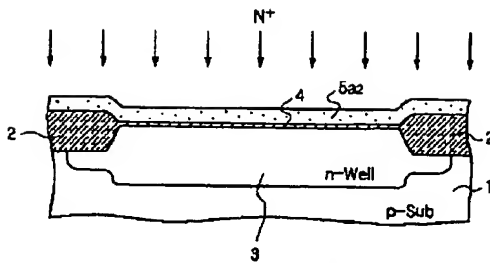
素子分離、ウェル形成およびゲート酸化工程（実施例1）

【図2】

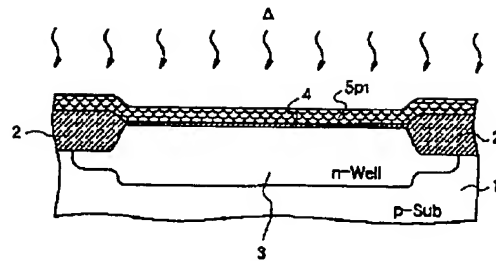


アモルファス・シリコン膜の堆積工程

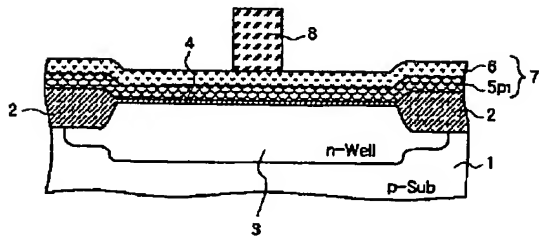
【図3】

N⁺イオン注入工程

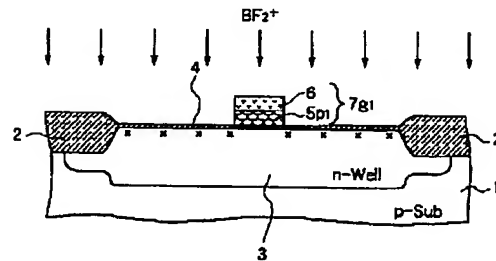
【図4】

アニールによる結晶粒成長
(ポリシリコン膜の形成) 工程

【図5】

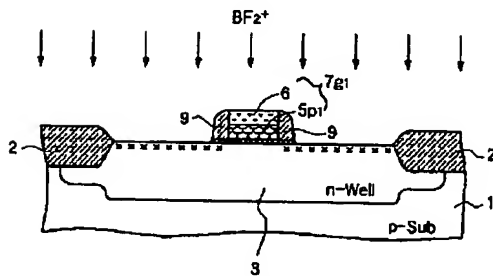
WSix膜の堆積および
レジスト・パターニング工程

【図6】



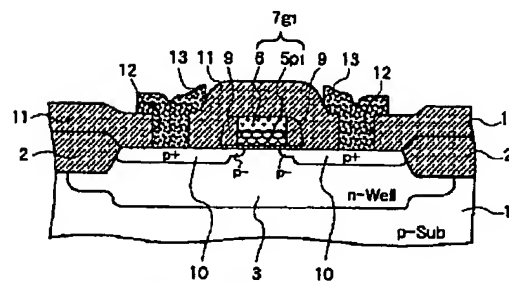
ゲート電極形成およびLDDイオン注入工程

【図7】



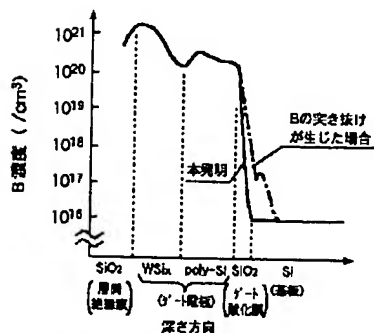
LDDサイドウォール形成およびS/Dイオン注入工程

【図8】



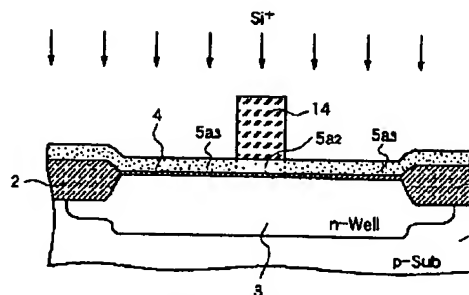
実施例1で完成されたPMOS

【図9】

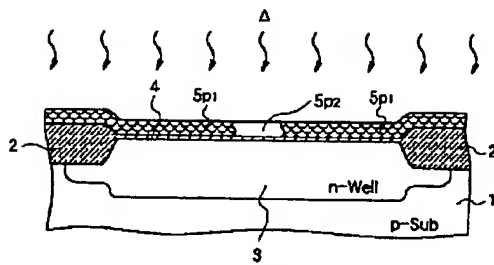


ホウ素 (B) の深さ方向プロファイルの比較

【図10】

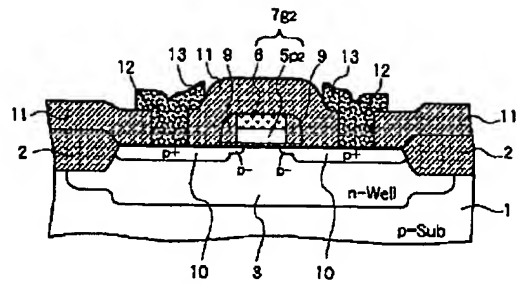
選択Si⁺イオン注入による
徹底アモルファス化工程 (実施例2)

【図11】



アニールによる結晶粒成長
(ポリシリコン膜の形成) 工程

【図12】



実施例2で完成されたPMOS

フロントページの続き

(51)Int.Cl.⁶
H01L 21/336

識別記号 庁内整理番号

FI
H01L 29/78

技術表示箇所

301P